

先進製程良率致勝關鍵

半導體完美鍍膜最佳解方

臺灣半導體產業有護國神山之稱，面對來自全球的頂尖對決，產業須持續創新研發，才能保持領先地位。工研院「高效雙模態原子層鍍膜系統」首創雙模態原子層鍍膜，透過腔體設計整合多道鍍膜製程，並提供可視化與模擬工具，提升半導體先進製程良率，獲2023年全球百大科技研發獎。



工研院「高效雙模態原子層鍍膜系統」首創雙模態原子層鍍膜，提升半導體先進製程良率，榮獲2023年全球百大科技研發獎肯定。

撰文／賴宛靖

想像一下，能把牆壁粉刷得均勻平整，已經是師傅等級；幫公仔上色，毫米等級的睫毛、獸毛等細節都不放過，堪稱手藝了得；如果要在頭髮萬分之一的3D晶片上鍍上薄膜，就連晶片上多道

宛如深井的溝槽，也要求均勻覆蓋，怎麼辦到？

電子產品發展越來越輕薄精巧，對半導體元件材料與尺寸要求已達原子級水準，然而體積縮小了，功能卻需更強大，往高密度、高容量發展，

可說是大勢所趨。為了在更小的空間裡「塞」進更多功能，元件結構朝3D垂直結構、高深寬比（10：1）發展，對半導體製程中的鍍膜工序是極其嚴苛的挑戰。

半導體鍍膜製程是晶圓加工的基礎。晶圓製造完成後，首先會在晶圓表面鍍上薄膜，依據發光、導電或保護等不同需求，這層薄膜可以是氮化鎵、砷化鎵、氮化銦鎵、二氧化矽、氮化矽等化合物材料，後續再進行微影、蝕刻製程。鍍膜少則2、3層，多則10多層，薄膜的覆蓋率與均勻性，都會影響良率。

All in One腔體設計 有效提升品質效率

工研院機械與機電系統研究所副組長王慶鈞說明，傳統物理（PVD）或化學氣相沈積（CVD）鍍膜製程，在簡單的半導體元件上還有辦法達到均勻，厚度約微米級別即可；但面對體積小、高深寬比的複雜結構，鍍膜需至奈米級別，同時還得確保高深寬比結構中，每個角落都能完美成形，稍有閃失就會導致元件性能下降、壽命減短。此外，傳統製程的枚葉式腔體易因變換製程腔體，導致薄膜氧化，傳統鍍膜製程得更換不同設備，還要反覆進行抽真空和破真空等操作，增加氣體交互污染的機會。

工研院的高效雙模態原子層鍍膜（Head-Matrix ALD+）系統，可支援奈米級薄膜，同時滿足高深寬比、多成分均勻、薄膜精準披覆等先進製程需求，其中最獨特之處在於「All in One」的腔體設計，將多道鍍膜製程整合在一起，打破過去需轉換多種設備的情況，有效減少製程中的傳輸污染，提高鍍膜品質和生產效率。

模擬分析APP 快速取得最佳參數解

除了改善硬體設計，工研院團隊也開發模擬分析的解決方案，讓鍍膜設備從過去只能試錯，獲取最佳參數組合的「黑盒子」，變成看得見、

能預測，能「完美複製最佳解」的設備。

實務上每導入新的鍍膜製程，都得實際做出來，再多次微調找出最佳參數，浪費成本、時間。團隊以理論和真實數據為基礎，建立「智慧多重物理耦合模擬與預測品質系統」APP，模擬在不同參數下，對應的薄膜品質，工程師只要輸入不同參數組合，就能預先知道結果，大幅縮短調整和試錯時間。「這對開發新產品特別有幫助，以後找參數就不用大海撈針，」王慶鈞說。

王慶鈞特別提到，建立模擬分析模型的過程中，一般都得「餵」大數據給系統，透過AI來分析，但因半導體製程極為機密，取得數據有限。為突破此關卡，團隊打造接近真實的鍍膜設備腔體，運用「流場可視化」和「電漿診斷技術」，以實際量測數據，回饋修正模擬計算結果，使預測更加精準。「驗證模擬結果，發現我們的系統有90%以上的準確度，」王慶鈞說。

半導體節能減碳新選擇

王慶鈞指出，這項模擬技術不僅讓製程更精準，也因多道製程合一，機台數量減少、廠房占用面積縮小，用電量降低，是半導體大廠節能減碳的新選擇，符合2050淨零排放目標。與半導體設備大廠推出的製程優化系統相比，本系統適用的製程設備為複合式原子層沉積，並可依製程調變，擁有眾多特點，極具市場競爭優勢，可大幅提升國產半導體鍍膜設備自製率由30%提升至60%。

「高效雙模態原子層鍍膜系統」現已技轉廠商旭宇騰精密科技，未來預期導入國內外多家半導體元件終端製造商、設備商及系統整合商。由於採用APP介面，廠商不需大幅改機或替換設備就能使用，降低導入門檻；對設備廠來說，未來若附加參數模擬的APP功能，也能進行高值化轉型，提高國產半導體設備的競爭力。其高階梯覆蓋特性亦可用於光電、生醫晶片感測器、5G無線通訊等新興產業上，未來發展可期。■