

# 極紫外光微影光罩檢測技術

## Extreme Ultraviolet Lithography Mask Inspection Technologies

蔡坤諭<sup>\*1</sup>、李建霖<sup>2</sup>、錢盛偉<sup>3</sup>

<sup>1</sup> 國立臺灣大學電機工程學系 副教授 / 工研院機械所 顧問

<sup>2</sup> 國立臺灣大學電子工程學研究所 博士班研究生

<sup>3</sup> 國立臺灣大學電機工程學系 技術研究專員

**摘要：**此篇文章對於極紫外光 (EUV) 微影技術所須之具多層反射膜結構之光罩，其製造過程中需要之檢測技術之發展現況做一簡介，並提出一些展望。EUV 光罩之製程設計可採用許多和傳統光學光罩製程類似的步驟與設備，本文先由此出發做一簡介與比較，並指出幾個檢測 EUV 光罩特別之處。之後針對 EUV 光罩基底片 (Mask Blank) 製備過程之檢測技術做較深入之探討，並提出未來技術之發展方向。

**Abstract :** This article introduces the current developments and prospects of inspection technologies which are necessary for the fabrication of EUV mask with a reflective multilayer structure. It can utilize many similar procedures and instruments used in the traditional optical mask process into the design and manufacture of EUV mask one. In this article, it begins with a brief introduction and comparison, and also points out several particular aspects of EUV mask inspection. After that, it makes a further investigation about the inspection technologies throughout the fabrication of EUV mask blank. Finally, it indicates the direction of future development.

**關鍵詞：**極紫外光微影、光罩基底片、缺陷檢測

**Keywords :** Extreme ultraviolet lithography(EUV), Mask blank, Defect inspection

### 前言

半導體晶片之元件密度隨著摩爾定律 [1] 逐年提升，其中製造端最關鍵的是微影製程解析度之演進。截至目前為止，193 奈米波長之光學微影技術利用浸潤式 (Immersion) 機台，加上各種解析度增強技術 (Resolution Enhancement Techniques)，及多重曝光 (Multiple Exposure) 等改善技巧，雖不容易但仍舊持續推進半導體技術節點，從 32 奈米半間距 (Half-Pitch) 到 22，16 以及 10 奈米。但是隨著間距微縮到需要三重甚至四重曝光時，成本的急劇上升將使得晶片無法很有經濟效益地量

產。因此 7 奈米半間距技術點很可能需要次世代的微影技術 (Next Generation Lithography)。根據 2015 年國際半導體技術藍圖 [2] 的預測，極紫外光微影 (EUV Lithography)，無光罩直寫 (Maskless Direct-write Lithography)，分子自主裝 (Direct Self-Assembly)，及奈米壓印 (Nano-Imprint) 等技術比較可能成為主流量產用技術。這幾個技術皆有其長處與困難度，然而不可否認的以全世界已投入的研發資源來看，極紫外光微影技術目前整體而言最為成熟，半導體製造大廠台積電、三星和英特爾都相繼提出其 EUV 微影之導入藍圖，其基本

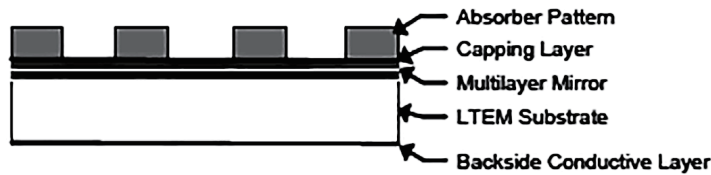


圖 1 Intel 公司之 EUV 光罩剖面圖 [8]

技術於 [3][4] 有完整之介紹。目前公認的關鍵之技術困難點依次包括高功率高可靠度之光源，光阻性能，無缺陷光罩之可獲得性，光罩之保護，光學元件之壽命，與產量。現今 ASML 已發表大於 100 瓦之光源並且展示提升至 250 瓦以上之可行性 [5]，配合具有 13 奈米半間距性能之化學放大光阻 (Chemical Amplified Resist)，EUV 微影已相當接近量產所需的規格，但隨著投入節點的延遲，EUV 光罩所能容忍的缺陷尺寸變得更加嚴峻，因此光罩之製造問題又成為關鍵之問題點 [6]。

從製程控制的角度來看，任何製程的開發與改善皆相當仰賴檢測技術來提供足夠的製程資訊以利製程，設備，與材料參數的適當調整。EUV 之光罩製程也不例外。由此觀點，廣義之 EUV 光罩檢測技術包含其製程中所有會使用到的量測方法，包括基材平坦度，基材缺陷度，多層膜缺陷度，多層膜反射度，多層膜缺陷度，吸收層反射度，光阻圖像品質，吸收層蝕刻後之圖像品質，與光罩整體成像品質等等，並不容易在有限的篇幅內能一一詳述 [7]。因半導體產業分工的特性，光罩製程設備 (如極紫外光光罩檢測設備) 的研發資源投入相對於晶圓製程設備 (如極紫外光微影曝光機) 是非常稀少的，進展可謂相當緩慢，但隨著 7 奈米及以下製程量產時間已迫近，本文著墨方式在於先讓讀者了解 EUV 光罩製程及檢測相對於傳統光學光罩之重要區別，再特別針對 EUV 特有之光罩基底片之缺陷及反射率檢測做探討 [7]。

## 極紫外光光罩及其製造與檢測流程

極紫外光之波段 (5 至 50 奈米) 因為容易被大

部分傳統光學材料 (如玻璃) 吸收，不利於其穿透與折射式光學元件之性能，一般以多層膜結構製成反射式元件。目前常見之 EUV 光罩剖面如圖 1 所示，在低膨脹係數之基板上鍍上約 40 層之鈾 (約 2.8 奈米) 矽 (約 4.1 奈米) 雙層結構作為反射層，再鍍上一層吸收層，

之後利用和傳統光學光罩製作類似的製程，塗佈上光阻後以電子束寫入積體電路佈局圖形，然後沖洗光阻再將吸收層蝕刻至反射層。進行曝光時，EUV 光被反射層反射或被吸收層吸收，然後經由後端光學鏡頭將電路佈局圖形投影至晶圓上之光阻成像。大體來說，EUV 微影可視為傳統光學微影的一種延伸，將其波長大幅縮小並把所有光學元件限制為反射式，其基本原理並不難理解。EUV 光罩結構最大的不同是反射層的存在。其規格和製作的困難度卻與傳統光學微影光罩有極大的不同。例如對於適用於波長 13.5 奈米的反射面來說，只要有相當於 1/4 波長 3.375 奈米的平坦度差別即會造成破壞性干涉，相對於適用於波長 193 奈米的穿透式光罩，其困難度超過一個數量級。也因此，EUV 光罩的製作一直被認為是整個 EUV 微影技術是否具量產價值的困難關鍵點之一。不過，近年來隨著相關製程設備與材料的逐漸改善至奈米等級，大部分問題的根源及解決對策已被研究提出，無缺陷 EUV 光罩的製作不再被認為是不可能的任務。

就 Intel 公司內部光罩廠之 EUV 光罩研發試產線 (Pilot Line) 來說，其規劃主要精神在於盡量利用既有傳統光學光罩製程設備線，讓研發資源可以投注在 EUV 光罩特有的問題上。圖 2 及圖 3 簡略列出其製造流程 [8][9]。以光罩廠的角度來看，所謂 Type 1 基底片是指基底片供應商在玻璃基板上鍍好 EUV 多層反射膜即運送至光罩廠。為了確認其品質，在步驟 2 至 4 先做多層膜缺陷度檢測，多層膜反射率檢測，與基底片平坦度檢測。在步驟 5 至 6 則是在 EUV 多層膜結構上鍍上吸收層並做缺陷度檢測。基底片之缺陷度檢測將

## 更完整的內容

詳見【機械工業雜誌】423 期・107 年 6 月號

---

機械工業雜誌・每期 220 元・一年 12 期 2200 元

劃撥帳號：07188562 工業技術研究院機械所

訂書專線：03-591-9339

傳 真：03-582-2011

機械工業雜誌・官方網站：[www.automat.tw](http://www.automat.tw)

機械工業雜誌・信箱：[jmi@itri.org.tw](mailto:jmi@itri.org.tw)