

先進製程缺陷檢測設備及性能測試標準樣本製作技術

Advanced Processes for Defect Inspection Equipment and Fabrication Technologies for Standard Function Test Structures

李建霖¹、蔡坤諭^{2,3*}、錢盛偉³

¹ 國立臺灣大學電子工程學研究所博士班學生

² 國立臺灣大學電機工程學系 副教授 / 工業技術研究院機械所 顧問

³ 國立臺灣大學電機工程學系技術研究專員

摘要：先進製程缺陷檢測技術為驅動前瞻半導體元件與製程發展的關鍵因素之一，但在先進技術節點中，對應檢測技術的取得可能面臨困難。為了研發出新的檢測技術，需要特定尺寸的高品質測試樣本。測試樣本之製程設計可採用基於光阻之微影技術以及直接噴濺製作出微結構等方法。本文先對缺陷檢測在先進製程之重要性做一簡介，並指出測試樣本對研發缺陷檢測技術之必要性。之後針對不同測試樣本製作技術做較深入之探討，並提出未來技術之發展方向。

Abstract : The defect inspection technology is one of the key factors to drive leading-edge semiconductor devices and process; however, corresponding inspection technology for advanced processes may not be available. In order to develop new inspection method, high quality test structures fabricated with specific feature sizes are required. Conventional photoresist-based lithography and direct sputtering can be used to fabricate the test structures. This article will introduce the importance of defect inspection technologies and point out the necessity of test samples for developing a defect inspection technology in advanced process. Different fabrication technologies for test structures will be investigated and the direction of future development will be discussed.

關鍵詞：缺陷檢測、奈米結構、測試樣本製作

Keywords : Defect inspection, Nano structure, Test structure fabrication

前言

半導體晶片之元件密度隨著摩爾定律 [1] 逐年提升，其中製造端最關鍵的是微影製程解析度之演進。截至目前為止，193 奈米波長之光學微影技術利用浸潤式 (Immersion) 機台，加上各種解析度增強技術 (Resolution Enhancement Techniques)，及多重曝光 (Multiple Exposure) 等改善技巧，雖不容易但仍舊持續推進半導體技術節點，從 32 奈米半

間距 (Half-pitch) 到 22、16 以及 10 奈米。但是隨著間距微縮到需要三重甚至四重曝光時，成本的急劇上升將使得晶片無法很有經濟效益地量產。因此生產次 10 奈米半間距技術節點之元件很可能需要次世代微影技術 (Next Generation Lithography) 的參與。根據 2015 年國際半導體技術藍圖 [2] 的預測，極紫外光微影 (EUV Lithography)，無光罩直寫 (Maskless Direct-write Lithography)，分子自主裝 (Direct Self-assembly)，及奈米壓印 (Nano-

imprint) 等技術比較可能成為先進製程之主流量產技術。這幾個技術皆有其長處與困難度，然而不可否認的以全世界已投入的研發資源來看，極紫外光微影技術目前整體而言最為成熟，半導體製造大廠台積電、三星和英特爾都相繼提出其 EUV 微影之導入藍圖，因此本文將著重 EUV 相關之先進製程，其基本技術則於文獻中 [3][4] 有完整之介紹。目前公認的關鍵之技術困難點依次包括高功率高可靠度之光源、光阻性能、無缺陷光罩之可獲得性、光罩之保護、光學元件之壽命與產量。現今 ASML 已發表大於 100 瓦之光源並且展示提升至 250 瓦以上之可行性 [5]，配合具有 13 奈米半間距性能之化學放大光阻 (Chemical Amplified Resist)，EUV 微影可謂相當接近量產所需的規格，甚至三星已宣佈將會使用 EUV 製造其第一代 7 奈米節點之元件，並預計於 2019 年開始大量生產。但隨著投入節點的延遲，EUV 光罩所能容忍的缺陷尺寸變得更加嚴峻，因此光罩之製造問題又成為關鍵之問題點 [6]。

從製程控制的角度來看，任何製程的開發與改善皆相當仰賴檢測技術來提供足夠的製程資訊以利製程、設備與材料參數的適當調整。EUV 之光罩製程也不例外。由此觀點，廣義之 EUV 光罩檢測技術包含其製程中所有會使用到的量測方法，包括基材平坦度、基材缺陷度、多層膜缺陷度、多層膜反射度、多層膜缺陷度、吸收層反射度、光阻圖像品質、吸收層蝕刻後之圖像品質與光罩整體成像品質等等，並不容易在有限的篇幅內能逐一詳述 [7]。因半導體產業分工的特性，光罩製程設備 (如極紫外光光罩檢測設備) 的研發資源投入，相對於晶圓製程設備 (如極紫外光微影曝光機) 是非常稀少的，進展可謂相當緩慢，但隨著次 10 奈米及以下製程量產時間已迫近，勢必要盡快尋找並發展合適的技術。本文著墨方式在於先讓讀者了解 EUV 光罩製程及檢測，相對於傳統光學光罩之重要區別，再特別針對檢測 EUV 特有之光罩基底片缺陷，所需之設備性能測試樣本製造方法做探討 [7]。

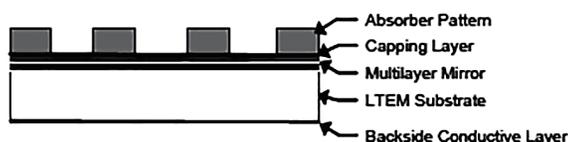


圖 1 Intel 公司之 EUV 光罩剖面圖 [8]

EUV 光罩簡介

極紫外光之波段 (5 至 50 奈米) 因為容易被大部分傳統光學材料 (如玻璃) 吸收，不利於其穿透與折射式光學元件之性能，一般以多層膜結構製成反射式元件。目前常見之 EUV 光罩剖面如圖 1 所示，在低膨脹係數之基板上鍍上約 40 層之鉬 (約 2.8 奈米) 矽 (約 4.1 奈米) 雙層結構作為反射層，再鍍上一層吸收層，之後利用和傳統光學光罩製作類似的製程，塗佈上光阻後以電子束寫入積體電路佈局圖形，然後沖洗光阻再將吸收層蝕刻至反射層。進行曝光時，EUV 光被反射層反射或被吸收層吸收，然後經由後端光學鏡頭將電路佈局圖形投影至晶圓上的光阻成像。大體來說，EUV 微影可視為傳統光學微影的一種延伸，將其波長大幅縮小並把所有光學元件限制為反射式，其基本原理並不難理解。EUV 光罩結構最大的不同是反射層的存在。其規格和製作的困難度卻與傳統光學微影光罩有極大的不同。例如對於適用於波長 13.5 奈米的反射面來說，只要有相當於 1/4 波長 3.375 奈米的平坦度差別即會造成破壞性干涉，相對於適用於波長 193 奈米的穿透式光罩，其困難度超過一個數量級。也因此，EUV 光罩的製作一直被認為是整個 EUV 微影技術是否具量產價值的困難關鍵點之一。不過，近年來隨著相關製程設備與材料的逐漸改善至奈米等級，並搭配可用於 EUV 光罩之檢測與缺陷修復設備，無缺陷 EUV 光罩的製作不再被認為是不可能的任務。EUV 光罩製造之大略流程可參照 [9]。

EUV 光罩基底片之缺陷

對於大部分的製程來說，缺陷是無法完全避免的，也是影響良率的重要因素。如何改善製

更完整的內容

詳見 ■ 機械工業雜誌 ■ · 426 期 · 107 年 9 月號

機械工業雜誌 · 每期 **220** 元 · 一年 12 期 **2200** 元

劃撥帳號：07188562 工業技術研究院機械所

匯款帳號：兆豐國際商業銀行新竹分行(代號 017)，帳號/ 203-07-02288-0

訂書專線：03-591-9339

傳 真：03-582-2011

機械工業雜誌 · 官方網站：www.automan.tw

機械工業雜誌 · 信箱：jmi@itri.org.tw