

# 電漿深蝕刻設備及其製程技術

## Introduction of Plasma Deep Etching Equipment and Process Technology

林冠宇<sup>1\*</sup>、張家豪<sup>1</sup>、沈家志<sup>1</sup>、劉志宏<sup>2</sup>

<sup>1</sup> 工研院機械所 先進製造技術組 電漿系統技術部

<sup>2</sup> 工研院機械所 先進製造技術組 電漿系統技術部 經理

**摘要：**因應元件功能提升，3D IC 封裝通孔 (Via)、晶圓薄化切割 (dicing) 及微機電系統 (MEMs) 厚膜深蝕刻製程需求，關鍵蝕刻製程面臨挑戰。工研院機械所自行建置一智慧化電漿蝕刻設備，可控制蝕刻輪廓，同時能搭配製程參數蒐集與分析技術，進行高深寬比蝕刻製程。在本文中將介紹目前電漿深蝕刻設備建置現況與初步深蝕刻製程驗證結果。

**Abstract :** In response to function increase in components, process demands for via holes in 3D IC package, wafer thinning, and micro-electromechanical systems (MEMs) also increase; thus the need for thick-film etching and high-aspect-ratio etching process increases. However, traditional etching process encounters some challenges. A smart plasma etching equipment was built by ITRI MMSL to control the etching profile, and the system also integrates process parameter collection and analysis technology to perform high-aspect-ratio etching process. In this paper, the current status of plasma deep etching equipment and the verification results of preliminary deep etching process will be presented.

**關鍵詞：**深蝕刻、反應性離子蝕刻、靜電吸盤

**Keywords :** Deep etching, Reactive ion etch, RIE, Electrostatic chuck, ESC

### 前言

深反應式離子蝕刻 (Deep Reactive Ion Etching, DRIE) 是光電及半導體領域近年來最熱門且積極開發的乾式電漿蝕刻技術，具備極佳的非等向性蝕刻、高深度與高深寬比 (High Aspect Ratio, HAR) 等蝕刻特性，於新世代的微機電系統 (Micro-Electro-Mechanical Systems, MEMS) 製造與三維積體電路 (3D IC) 等產業發展中扮演著促進高階電子產品再次升級的關鍵深蝕刻製程技術，以下針對 DRIE 製程於 MEMS 及 3D IC 產業中的應用與發展進行介紹。

MEMS 是一門跨領域的精密工程技術，能將電子、光學、材料化學、機械動力等工藝技術整合於一微小元件上，使其成為具有一個或多個特殊功能的系統元件 (如：加速度計、陀螺儀和麥

克風等應用)，MEMS 成為行動穿戴、車用電子和醫療設備市場持續進步與轉型的主要動力 [1]。MEMS 的加工製造主要由半導體製程技術改造而來，可分為 (a) 微電子技術與 (b) 微加工技術兩大部分：(a) 微電子技術即傳統半導體製程中常用的黃光、蝕刻、擴散與薄膜等製程技術，主要用以製作所需要的積體電路；而 (b) 微加工技術則是於矽基材表面或本體進行微米尺度的加工處理 (深蝕刻與鈍化層技術) 來完成具有特殊設計的立體結構，其中具有高深寬比特性的 DRIE 製程正是微加工處理中最特殊與重要的技術，藉由上述兩大技術來完成 MEMS 裝置上所需的微結構、微感應器、微電子及微致動器等組成元件。有別於二維的 IC 晶片，三維的 MEMS 裝置既擁有處理電子訊號的能力，又具有機械結構的運動

能力。隨著設計多元化與器件性能不斷地改良，未來將會要求更先進的製造技術，故勢必要開發出具備更精密與穩定的深蝕刻設備系統，以確保更小尺寸及更高效能的 MEMS 元件不會出現影響其性能的工藝偏差。

另一方面，因應近年來半導體產業在 2D 尺度的積體電路微縮已逐漸面臨許多技術上的困難與挑戰，包括元件設計、半導體製程與設備等物理極限，新興的 3D IC 製程與封裝技術儼然已成為半導體業者未來發展之主要趨勢。有別於傳統 2D IC 製程上僅於平面維度進行尺寸上的微縮，3D IC 以垂直方式堆疊各種晶片，接著以矽通孔 (Through Silicon Via, TSV) 技術將垂直方向上的所有晶片連結，使得晶片間連接路徑更短、傳輸速度可大幅提升、雜訊較小並提升整體的效能，同時減少元件體積並達到高密度 IC 之需求，其可應用的產品類別如：LED、CMOS 感測器、DRAM、RF 與 Logic IC 等多種電子元件 [2]。其中 TSV 無非是 3D IC 製造與封裝過程中最重要的環節，運用到的核心技術即為 DRIE 製程，藉由深蝕刻製程於 IC 晶片上完成垂直方向的孔道建構，達到 3D IC 的理想結構。雖然 3D IC 的設計概念

帶來眾多的潛力與優勢，但 TSV 技術之穩定性與精密度也為 3D IC 製程與封裝的效能和良率帶來重大的挑戰，例如深蝕刻製程設備相當昂貴，無形中亦限制了蝕刻製程之應用層面，因此欲成功邁入全新的 3D IC 世代，工研院機械所已致力於各項先進半導體製程與設備的開發，期望達到促進國內產業升級與進步的目的。

### 電漿深蝕刻技術介紹及應用

#### 1. 電漿深蝕刻技術

乾式電漿蝕刻於矽基材表面進行加工處理在現今的半導體產業已是相當成熟的技術，主要藉由電漿反應所產生的多元性物種（離子、電子、原子與活性自由基等）進行不同的反應路徑來完成蝕刻程序，可分為物理性蝕刻（離子表面轟擊）與化學性蝕刻（生成可揮發性之副產物）。隨著製程技術日新月異，傳統蝕刻技術已無法達成特殊的深蝕刻應用（DRIE），例如在 MEMS 元件、3D IC 製程與封裝所需的高深度及高深寬比的矽蝕刻孔道或結構。為了滿足特殊的矽蝕刻條件，德國羅伯特博世公司所開發出的深蝕刻技術（Bosch 製程）已能夠達到以上的深蝕刻規格，技術內容

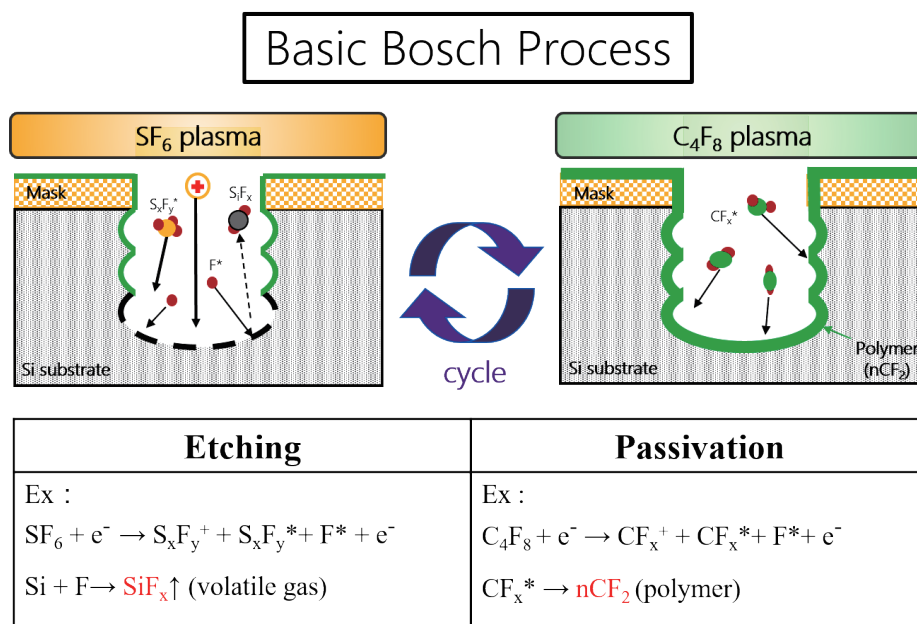


圖 1 Bosch 製程步驟

## 更完整的內容

詳見 ■ 機械工業雜誌 ■ · 426 期 · 107 年 9 月號

---

機械工業雜誌 · 每期 **220** 元 · 一年 12 期 **2200** 元

劃撥帳號：07188562 工業技術研究院機械所

匯款帳號：兆豐國際商業銀行新竹分行(代號 017)，帳號/ 203-07-02288-0

訂書專線：03-591-9339

傳 真：03-582-2011

機械工業雜誌 · 官方網站：[www.automan.tw](http://www.automan.tw)

機械工業雜誌 · 信箱：[jmi@itri.org.tw](mailto:jmi@itri.org.tw)