

美國IBM
華生研究中心研究員
沙希迪

摩爾定律已走到盡頭？

半導體功耗改善減緩應有解

4月登場的「超大型積體電路國際研討會」(VLSI-TSA/DAT)是全球半導體產業年度盛事，首場專題演講邀請到美國IBM華生研究中心研究員沙希迪(Ghavam Shahidi)以「功耗改善減緩，摩爾定律是否已走到盡頭？」為題，談半導體最新製程面臨功率改善放緩的問題，並提出建議的解決之道。

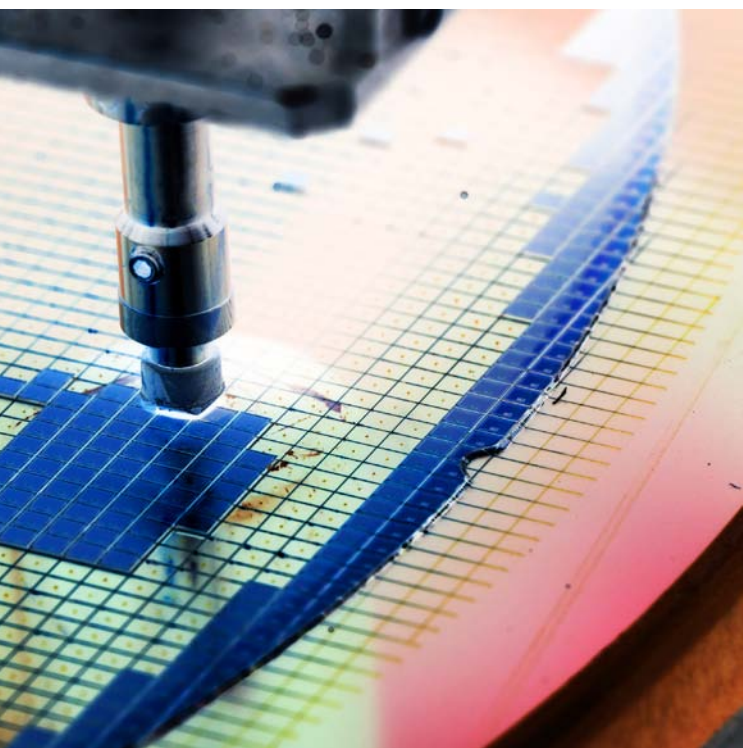
口述／美國IBM華生研究中心研究員沙希迪 整理／吳艾美

1965年提出的摩爾定律(Moore's Law)引領半導體發展超過半世紀，是指晶片上可容納的電晶體數目，約每隔18個月便會增加一倍，性能也將提升一倍，但近年的互補式金屬氧化物半導體(CMOS)先進製程中，最新幾代奈米節點的功耗改善程度，已出現明顯的放緩，這不禁讓人憂心，摩

爾定律是否即將走到盡頭？

製程推進 唯功耗降低才能提高效能

半導體的主流製程CMOS，多年來每推進到一個新的奈米節點，最大的兩個效益就是：面積可縮小30%、功耗明顯改善。以後者來看，在特定頻率下，晶片功耗的降低(每次操作的耗能)



在特定頻率下，晶片功耗的降低是一項重要指標，因為惟有晶片的整體耗能改善，才有機會提升晶片性能。

是一項重要指標，因為惟有晶片的整體耗能改善，才有機會提升晶片性能，例如：可在晶片的下一代設計中，內建更多核心或新增更多功能。

綜觀半導體奈米節點的歷史數據，早期每一代的奈米製程進化，其功耗與上一代相較，改善的幅度都很大。以Sony遊戲主機Playstation 2所採用的250奈米晶片為例，整體晶片的耗能為23瓦，演進了3個世代後，來到90奈米節點，功耗僅須0.5瓦，等於每一個奈米世代較前一代平均節能72%以上。

14奈米製程 節能幅度大不如前

然而，在近年幾個製程中，節能幅度大不如前。以英特爾的Core i7做為測試標的，第一代Core i7採45奈米製程，第二代Core i7採32奈米製程，兩代之間僅實現了32%到50%的能耗下降。

接下來Core i7在2012年進入了22奈米製程，

能耗只比32奈米下降了20%至27%。2014年，英特爾又陸續發表採用14奈米的Broadwell及Skylake（分別是第五、第六代的Core i7），結果它與前一代的22奈米相較，功耗僅下降0%至25%，節能幅度創下最低紀錄。直到2017年推出採14++奈米製程的Core i7晶片，節能幅度才增至20%到33%。

觀察Core i7從45奈米到14奈米的節能數據可以看出，雖然每一代製程，晶片的面積愈縮愈小，但能夠達到的能耗縮減幅度卻愈來愈小，尤其在14奈米初期最為明顯。近2年進入更先進的10奈米製程，也有類似狀況，例如英特爾在2018年5月推出第一個採用10奈米製程的Core i3，其功耗表現跟14奈米製程類似：亦即並未看到功耗大幅降低。

挑戰極限 可考慮不同半導體架構

這個是否代表摩爾定律已逼近極限？如果晶片在每個新世代的製程無法達到明顯的功耗下降，確實會導致晶片效能出現瓶頸，因為晶片能否置入更多核心，能否新增更多功能，都與能耗息息相關。

展望未來，若要改善功耗，關鍵之一在於必須將半導體元件的電容降低。我認為，不論是業界目前初邁入的7奈米，甚或是未來更先進的奈米製程，也要準備好3種不同架構的選項來改善功耗：一是繼續採行鰭式場效電晶體（FinFET）架構，設法將FET的閘極高度降低。FinFET架構雖蔚為主流，卻因閘極底部不導電及閘極過高，造成寄生電容產生，若能解決此一問題，應可見到功耗的改善。二是轉向奈米線（Nano-wires）或垂直式FET（Vertical FET）等3D架構，以降低寄生電容和電阻；三是將平面式（Planar）架構納入考量，例如SOI（絕緣層上矽晶體）的原理是在矽晶體之間，加入絕緣體物質，可使寄生電容減少。

我想大家都很期待，在未來幾個更先進的奈米製程，能回復到早期奈米節點功耗大幅降低的景況，這對下世代高效能微處理器來說尤其重要。■